第1章

LSI間通信のシリアル化と回路設計のポイント

～ SerDes搭載FPGA活用時の注意点

皆川 翔

近年のFPGAは，DSPブロック(乗算器や積和演算器)やCPUコアのほか，高速シリアル通信ブロックをハード・マクロで搭載しています．膨大なデータを高速に伝送したい場合，高速シリアル通信ブロックの活用がキーになります．高速シリアル通信ブロックは，ハードウェアとしてアナログ的要素を多く含みます．このため，ディジタルの知識だけではうまく使いこなすことが難しい一面があります．そこで，高速シリアル通信ブロックを搭載するFPGAを例に，FPGA周辺回路の設計やプリント基板設計時の注意点をまとめます． (筆者)

1．パラレル接続からシリアル接続へ

一つのシステムは，多くの部品で構成されています．そして，例えば図1のように，複数のLSI同士でデータのやりとりを行っています．1枚のプリント基板上で接続される場合もあれば，バックプレーンを経由してプリント基板間で接続される場合もあります．

システム・アーキテクチャ上，LSI間のデータ伝送量が多くなく，プリント基板の制約があまりない場合であれば，設計で問題になることはありません．汎用LSIであれば仕様に合わせて接続するだけです．カスタムLSIであれば都合良く接続できます．しかし近年，システムの大規模化と複雑化により，さまざまな問題に直面する場合が増えています．

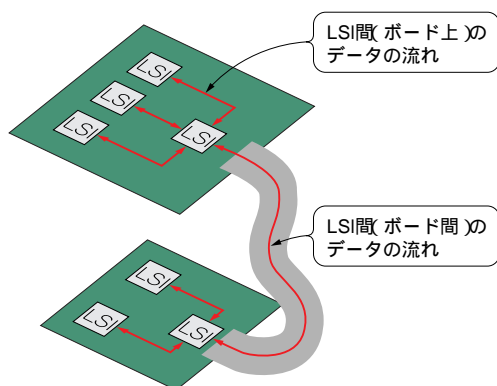



図1　システム内のデータの流れ

一つのシステムの中では，複数のLSI同士でデータのやりとりが行われている．システムの大規模化と複雑化により，やりとりするデータ量が増えてきた．

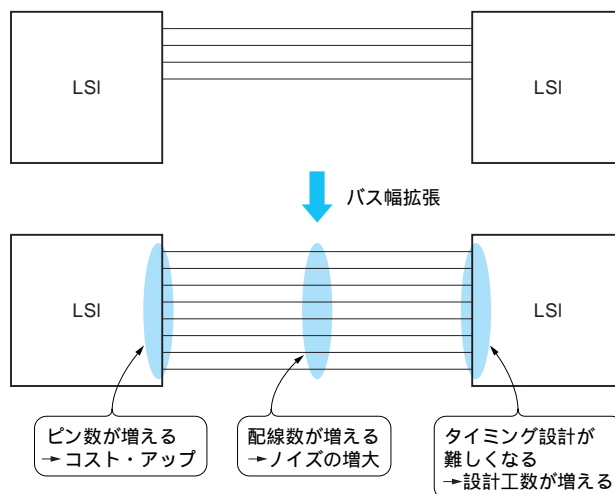



図2　高速パラレル・データ伝送の問題

データ・バス幅を広げれば，大容量データの伝送が可能になるが，多くのI/Oピンが必要になり(コスト・アップ)，プリント基板上の配線数が増え(ノイズの増大)，タイミング設計が難しくなる(開発工数の増大)などの問題を招くことがある．

KeyWord　FPGA，パラレル接続，シリアル接続，スキュー，シグナル・インテグリティ，SerDes，Virtex-4，RocketIO，MGT，電源，ジッタ

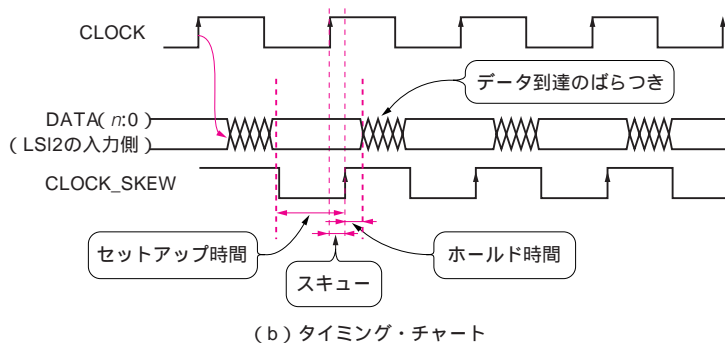
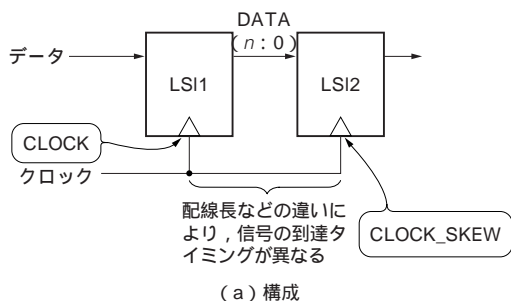



図3　パラレル接続による高速データ伝送はタイミング設計が難しい
パラレル・データの伝送では，プリント基板上のパターンの引き回しの影響でデータ到達時間にばらつきが生じる．このため，すべてのデータが確定するタイミングが遅れ，セットアップ時間が厳しくなる．LSI間のクロック・スキューによっても，セットアップ時間やホールド時間の制約が厳しくなる．CLOCK_SKEWはCLOCKに対して早くなることも遅くなることもあり得る．

● パラレル接続の限界

大容量のデータをASIC（application specific integrated circuit）やFPGA（field programmable gate array）などのカスタムLSI間で受け渡す場合，何が問題になるのでしょうか．

LSI間で大量のデータをやりとりする最も簡単な方法は，データ・バス幅の拡張です（図2）．

近年の回路は同期式で設計されています．従って，LSI間のパラレル・データは，同期クロックで伝送することになります．このとき，配線長の違いなどが原因で，データの各ビットの受信側LSIへの到達時間がばらつきます．このばらつきはできるだけなくしたいので，プリント基板設計時に配線長を合わせるように工夫しなければなりません．とはいえ，高密度な実装が要求される場合，データ線は自由に配線しにくくなります．このため，各ビット間でスキューが発生することになり，クロック周波数が上がってくると，セットアップ時間やホールド時間などのタイミング・エラーが発生しやすくなります（図3）．

また，パラレル・データ・ラインが高速になれば，クロストークなどのノイズが発生しやすくなり，シグナル・インテグリティ（信号の品質）の面でかなり不利な状況になります．

パラレル・データのビット幅が増えれば，コスト・アップを余儀なくされます．例えば，コネクタからバックプレーンを経由して別のボードに伝送する際，信号線をつなぐためのコネクタのピン数が増えます．バックプレーンにも多数の信号線を配線しなくてはなりません．バックプレーン基板のコストはもちろん，シグナル・インテグリティの面でさらに不利になります．LSIを見ても，多くの信号線を使えばそれだけピンが必要となり，多ピン・タイプのパッケージを選択しなければなりません．LSIのコストが上がり，さらにプリント基板の面積や層数に影響します（図4）．

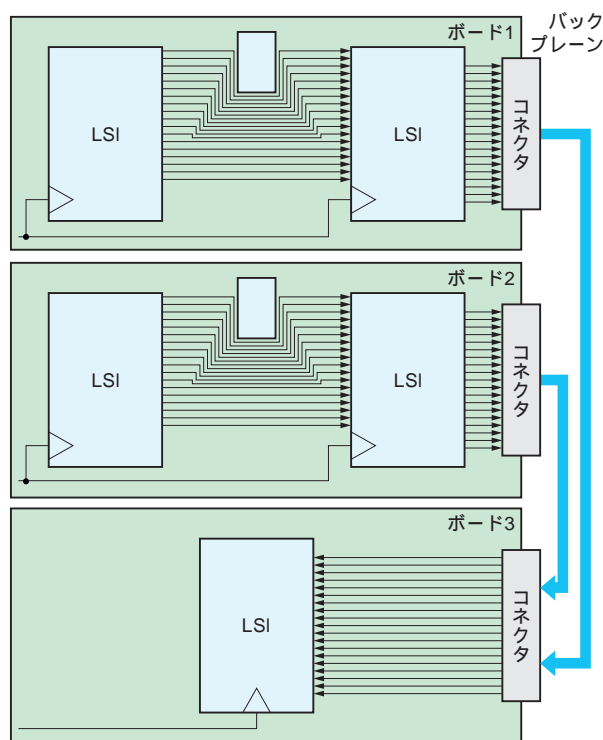



図4　パラレル伝送時の問題
LSI同士の接続や，コネクタとバックプレーンを経由したボード間の接続の場合，さまざまな問題が発生する．高密度プリント基板の場合，LSI同士をつなぐパラレル線が均等に配線できないことが多く，データの到達時間がビットごとに異なってしまう．高速動作時のタイミング設計が厳しくなる傾向があり，設計の難易度が高くなる．また，コネクタやバックプレーンを経由して二つのボードのデータを別のボードへ集約させる場合，集約するボードの信号線数が増える．コネクタのピン数やLSIのI/Oピン数が不足することもある．配線数の増大もノイズの原因となり，好ましくない．

● SerDesを使ってシリアル接続

大容量のデータ伝送が求められる場面では，近年，シリ

アル接続方式が注目されています．

パラレル接続をシリアル接続にすると，一見，データ転送速度が落ちてしまいそうに思えます．しかし，パラレル接続におけるスキューやクロストーク・ノイズなどの問題が解消されるため，データ転送速度を上げることができます．ここでSerDes（serializer deserializer）という機能がポイントになります．

SerDesとは，パラレル・データをシリアル・データにする，またはその反対にシリアル・データをパラレル・データにする機能です．このように一言で表すと誰でも簡単に設計できそうな気がするのですが，実際はかなり高度な技術です．また，数Gbpsの速度で動作させる必要があります．そこで実際の設計では，LSIメーカが提供するSerDesチップを使うか，ハード・マクロを活用してカスタムLSIを設計することになります．

● SerDesチップを活用する

LSI間のデータ伝送をパラレル伝送からシリアル伝送にする方法の一つとして，SerDes専用チップの利用があります．

図5に示す通り，LSI間のパラレル・データ伝送にSerDesチップを使うことにより，コネクタの実装個数やピン数，バックプレーンのシグナル・インテグリティなどの問題を解決できます．しかし，高密度のプリント基板では，SerDesチップを実装するためのスペースを確保できないかもしれません．また，LSIとSerDesチップの間は相変わらずパラレル接続のままです．LSIは多ピン・タイプのパッケージを使わざるを得ません．LSIとSerDesチップ間のシグナル・インテグリティの問題も依然解決できません．

● SerDes機能をLSIに取り込む

問題を根本的に解決するためには，図6に示すように，SerDes機能をLSIの内部に取り込んでしまうことです．プリント基板上にSerDesチップの実装スペースを確保する必要はありません．もちろん，LSIとSerDesブロック間のシグナル・インテグリティも考えなくてすみます．また，LSIのデータ線が大幅に減るため，パッケージのピン数を

図5　SerDesチップを使用する

LSI間の通信にSerDesチップを用いることにより，プリント基板上のパターン数を減らすことができる．ボード間のデータ伝送でも，物理的制約を回避することが可能となる．ただし，LSIとSerDesチップの間はパラレル伝送になるため，タイミングに関する問題に注意して設計する必要がある．

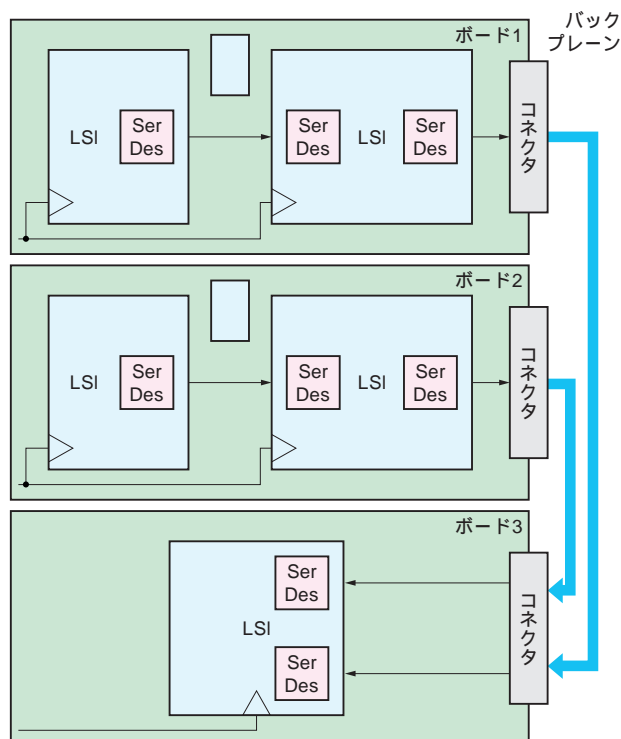



図6　LSI内蔵のSerDes機能を使用する

LSI内蔵のSerDes機能を用いることによって，SerDesチップとつながるパラレル・バス部分のタイミング設計の問題を解消できる．FPGAの場合，専用のデータ・リンク層もサポートされており，使い方は容易である．しかし，SerDes機能内蔵のFPGAは高価であるため，コストが重視されるアプリケーションには向かない．FPGA内蔵のSerDes数は製品によって異なるため，注意が必要．

表1 SerDes内蔵FPGAの例

ファミリ名	メーカ	データ転送速度	チャネル数	伝送方式	DCバランス	専用リンク層
Stratix II GX	米国Altera社	最大6.375Gbps	4～20	ソース・シンクロナス，CDR	8b/10b	SerialLite
Virtex-4	米国Xilinx社	最大10.3125Gbps	0～24	ソース・シンクロナス，CDR	8b/10b，64b/66b	Aurora

抑えることもできます．

唯一の問題は，カスタムLSIの中でSerDes機能をどのように実現するかです．ASICでは，LSIメーカなどが提供するIPコア（ハード・マクロ）を利用するのが一般的だと思います．FPGAでは，SerDes機能を搭載する製品が増えてきています（**表1**）．ただし，SerDes搭載FPGAは比較的高価なため，開発目的に見合ったコストになるかどうかを十分に検討する必要があります．

2. SerDes搭載FPGAの活用法

SerDesは，単なるパラレル-シリアル/シリアル-パラレル回路ではありません．LSIメーカによって特性や仕様が異なります．

そこで本稿では，米国Xilinx社のFPGA「Virtex-4」を例に，最低限知っておかなければならないルールを，筆者の経験を基に解説します．SerDesを手軽に使ってみたい場合を想定します．

なお，実際の通信では，物理層だけでなくリンク層も重要になります．FPGAベンダが提供するプロトコルの具体的な使い方は，ほかの記事に譲ります．

● Virtex-4の高速シリアル伝送ブロック――RocketIO

パラレル・データをシリアル・データに変換したり，シリアル・データをパラレル・データに変換したりする機能は，物理層が担当します．Xilinx社のFPGAでは，この物理層を「RocketIO」，SerDesモジュールそのものを「MGT（Multi-Gigabit Transceiver）」と呼んでいます．通常，MGTのポートをユーザが直接制御して使うことはありません．**図7**に示すように，MGTの内部には，シリアル-パラレル変換用のシリアライザとデシリアライザ，DCバランスを保持するための符号化回路（8b/10bもしくは64b/66b），対向するリファレンス・クロックの周波数偏差を吸収するためのバッファなど，たくさんのモジュールが組み込まれています．MGTのポート数は約100種類にもなっています．

● MGTの動作条件――FPGA周辺回路の設計

MGTを使用する場合，FPGAの専用ピンから電源とクロックを供給します．

FPGAのパッケージ外周付近には，シリアル信号線，専用電源，MGT用のリファレンス・クロックのピンが配置されています．SerDes部分の，特にアナログ回路が多く含まれているブロックは注意が必要です．電源の種類，推奨値，クロックの制約などを満たすため，部品構成を十分に検討して設計する必要があります．

1）電源

p.59の**図8**に示すように，MGTの電源の種類は，終端用の電源V_{TTX}/V_{TRX}，アナログ送受信モジュール供給用の$AV_{CCAUXTX}/AV_{CCAUXRX}$，アナログ・モジュール供給の$AV_{CCAUXMGT}$があります．そして，1.2V，1.5V，2.5Vの3種類の電圧が必要になります．また，すべての電源ピンについては，バイパス・コンデンサとビーズ・インダクタを1個ずつ，FPGA近傍に挿入することが推奨されています．

これらの電源は，基本的にリプルが大きい電源を使うことができません．推奨するリプル値は，電源電圧の1%未満です．例えば，1.2Vの電源ラインに対するリプル値は12mV未満が望ましいということになります．従って，MGTの電源に供給できる電源としては，リプル値が低いリニア・レギュレータが妥当ということになります．いくらリプルが小さくても，スイッチング・レギュレータで直接駆動しない方がよいでしょう．

表2 リファレンス・クロックの制約

ピン名称	概　略	電　圧	制　約
MCGCLK_P MCGCLK_N	MGT用リファレンス・クロック．パッケージ内に4ポートあり．Column単位で供給できるクロックの場所が決まっている．	LVPECL，LVDS対応	クロック・ジッタは少ない方が望ましい．45ps未満なら高品質の波形が得られる．

I/Oピン

MGTブロック

FPGA内部構造

AVCCAUXRX 1.2V

GNDA TX/RX GND

AVCCAUXTX 1.2V

VCCINT 内部電源

VTRX 終端付き RX

RXP

RXN

デシリアライザ

コンマ・デテクト・リアライン

64b/66b デスクランブラ

8b/10b デコーダ

RX リング・バッファ

64b/66b デコーダ

64b/66b ブロック同期

チャネル・ボンディング および クロック補正

クロック管理

Pro-Driver Loopback Path

PCS Parallel Loopback

VTTX 終端付き TX

TXP

TXN

シリアライザ

ギアボックス・スクランブラ

TX リング・バッファ

64b/66b エンコーダ

8b/10b エンコーダ

RXLOCK

RXRECCLK1

RXRECCLK2

RXPCSHCLKOUT

RXPOLARITY

RXREALIGN

RXCOMMADET

ENPCOMMAALIGN

ENMCOMMAALIGN

RXCOMMADETUSE

RXSLIDE

RXDECC64B66BUSE

RXDEC8B10BUSE

RXDATA[63：0]

RXNOTINTABLE[7：0]

RXDISPERR[7：0]

RXCHARISK[7：0]

RXCHARISCOMMA[7：0]

RXRUNDISP[7：0]

RXSTATUS[5：0]

RXBUFERR

ENCHANSYNC

CHBONDI [4：0]

CHBONDO[4：0]

RXLOSSOFSYNC[1：0]

RXBLOCKSYNC64B66BUSE

RXDESCRAM64B66BUSE

RXIGNOREBTF

TXBUFERR

TXDATA[63：0]

TXBYPASS8B10B[7：0]

TXCHARISK[7：0]

TXCHARDISPMODE[7：0]

TXCHARDISPVAL[7：0]

TXKERR[7：0]

TXRUNDISP[7：0]

TXENC64B66BUSE

TXENC8B10BUSE

TXGEARBOX64B66BUSE

TXSCRAM64B66BUSE

TXLOCK

TXPOLARITY

TXINHIBIT

FPGA内部構造

RXCYCLELIMIT

TXCYCLELIMIT

RXCLKSTABLE

TXCALFAIL

TXCLKSTABLE

RXCALFAIL

PLL キャリブレーション・ブロック

RXCRCCLK

RXCRCDATAVALID

RXCRCDATAWIDTH[2：0]

RXCRCIN[63：0]

RXCRCINIT

RXCRCINTCLK

RXCRCOUT[31：0]

RXCRCPD

RXCRCRESET

TXCRCCLK

TXCRCDATAVALID

TXCRCDATAWIDTH[2：0]

TXCRCIN[63：0]

TXCRCINIT

TXCRCINTCLK

TXCRCOUT[31：0]

TXCRCPD

TXCRCRESET

CRC ブロック

クロック および リセット

TXRESET

RXRESET

REFCLK1

REFCLK2

GREFCLK

RXUSRCLK

RXUSRCLK2

TXUSRCLK

TXUSRCLK2

TXPMARESET

RXPMARESET

TXOUTCLK1/TXPCSHCLKOUT

TXOUTCLK2

ダイナミック・リコンフィグレーション

DADDR[7：0]

DI [15：0]

DCLK

DEN

DWE

DRDY

DO[15：0]

内部 インターフェース

LOOPBACK[1：0]

RXDATAWIDTH[1：0]

RXINTDATAWIDTH[1：0]

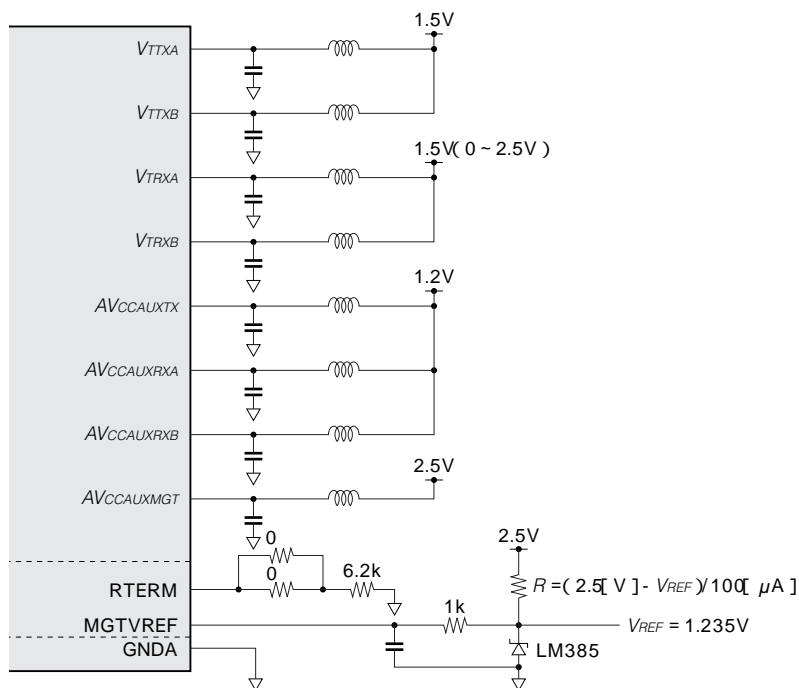
TXDATAWIDTH[1：0]

TXINTDATAWIDTH[1：0]

パワー・ダウン

POWERDOWN

図7　MGTのブロック図

シリアル-パラレル変換用のシリアライザとデシリアライザ，DCバランスを保持するための符号化回路（8b/10bもしくは64b/66b），対向するリファレンス・クロックの周波数偏差を吸収するためのバッファなど，たくさんのモジュールが組み込まれている．

(a) 回路例

電源ピン名称	概　略	電　圧	リップル制約
V_{TTXA}	MGTA TX終端用電源ピン	1.5V	電圧値の1%未満を推奨
V_{TTXB}	MGTB TX終端用電源ピン		
V_{TRXA}	MGTA RX終端用電源ピン		
V_{TRXB}	MGTB RX終端用電源ピン		
$AV_{CCAUXTX}$	MGT TX用アナログ電源ピン(MGTA/B共通)	1.2V	
$AV_{CCAUXRXA}$	MGTA RX用アナログ電源ピン		
$AV_{CCAUXRXB}$	MGTB RX用アナログ電源ピン		
$AV_{CCAUXMGT}$	MGT用アナログ電源ピン(MGTA/B共通)	2.5V	

(b) 電源の条件

図8
MGTを使用する際に必要な電源
1.2V，1.5V，2.5Vの3種類の電圧が必要．リプルが1%未満という高い品質が求められる．

2) リファレンス・クロック

リファレンス・クロックについても制約があります．p.57の**表2**に示す通り，ジッタの小さなクロックを供給する必要があります． ジッタの推奨条件である45ps未満を守ると，シグナル・インテグリティが向上します．クロックは，LVPECL(low voltage positive emitter coupled logic)とLVDS(low voltage differential signaling)のいずれかで供給します．水晶発振器のメーカによっては，電圧レベルや動作周波数の違いでクロック・ジッタの特性が変わるので，データシートを十分に検証することをお勧めします．

● 設計によって信号の品質が変わる

ちなみに，これらの制約を満たせない場合はどうなるのでしょうか．

これらの推奨値はアナログのブロックを対象としているので，全く動作しなくなるということはありません．波形が乱れると考えるとよいでしょう．「SerDesの波形が乱れる」=「ジッタ成分が増える」ということです．

実装部品やプリント基板設計を十分に注意して行った場合の波形は，ジッタが小さく，**図9**のように波形の乱れはあまりありません．結果としてビット誤り率BER(bit error rate)が良くなります．

推奨した値を守らなかったり，プリント基板設計においてインピーダンスの不整合があると，ジッタの成分が増え，**図10**のように波形が乱れ，BERが下がってしまいます．

BERをどこまで上げればよいのかは，システムで目標とする品質をクリアすればよいので，解釈は異なります．ただし，手を抜いて設計した分は必ずツケが回ってくるので，

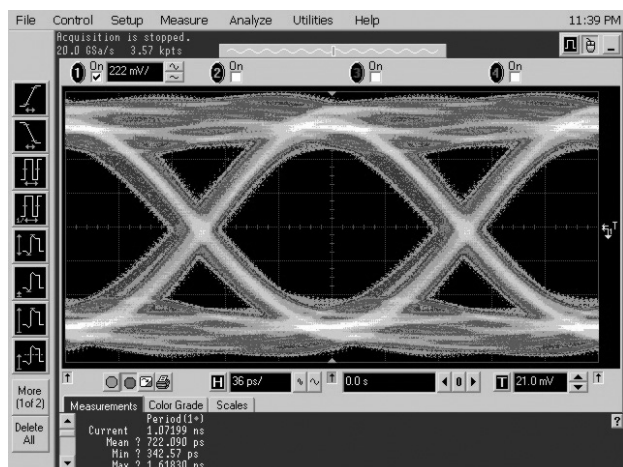



図9　実装部品やプリント基板設計を十分に注意して行った場合の波形
ジッタが小さく，波形の乱れはあまりなく，アイが広く開いている．

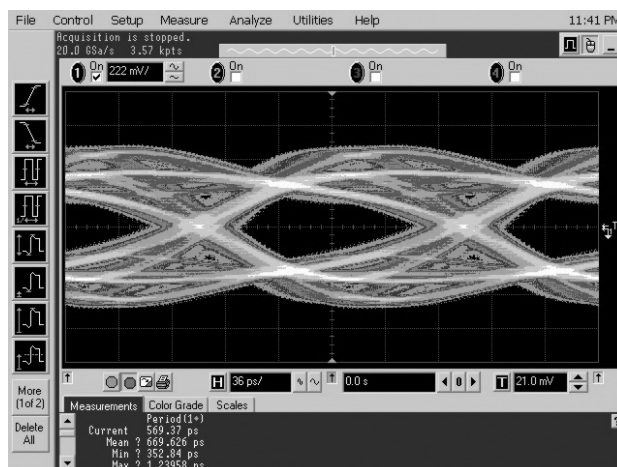



図10　推奨した値を守らない場合の波形の例
ジッタの成分が増え，波形が乱れ，アイが閉じている．

なるべくなら本稿の推奨値やFPGAベンダからの詳細な情報を基に設計した方がよいでしょう．

● 手っ取り早くMGTを動かしたい

プリント基板回路設計については，簡素化することはできないので，できる限りの策を講じるしかありません．しかし，制御が複雑なMGTについては，FPGAベンダが提供するリンク層（プロトコル）を用いることによって，所望の動作を最低限の負担で実現することが可能です．

Xilinx社の場合は「Aurora」というプロトコルを提供しています．これを使った設計では，システムに必要なデータを送信する/受信する，という制御にまで簡素化することができます（**図11**）．

MGTを直接制御しようとすると，最低でも以下の四つの制御が必要です．

● クロック・コレクション

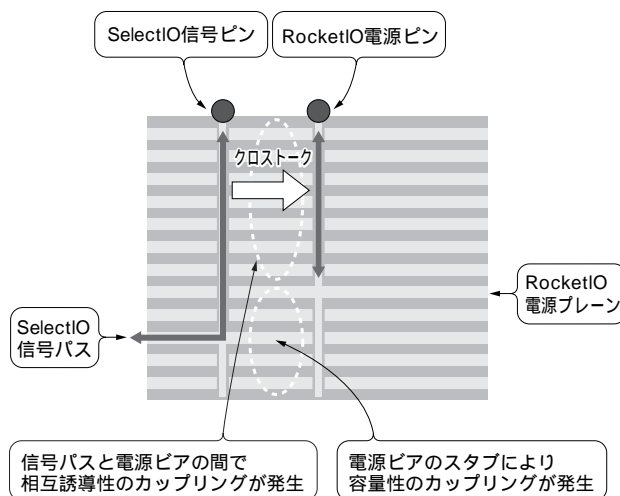
Column　シリアル信号品質のさらなる向上のために

図Aに示すように，MGT用の専用電源と，その隣に配置した高速で動作するI/Oピン（SelectIO）のビアが並走すると，クロストーク・ノイズが発生するようです．MGT用の専用電源にクロストーク・ノイズがのってしまうと，その供給先のMGTのジッタが増え，結果としてシリアル信号の波形が乱れるというものです．

対策はいくつか考えられます．

- MGT電源近くのSelectIOは使用しない．
- MGT電源近くのSelectIOには，なるべくスイッチング周波数の低い信号を配置する．
- MGT電源近くのSelectIOは，差動信号を配置する．
- MGT電源は，内層を使わず，表層を使用して結線する．
- MGT電源は，なるべく上位層を使用する．ビアを打つ場合は，ブラインド・ビアを使用する．

設計のアーキテクチャによっては，不可能な対策もあると思いますので，上記から最適な案を選択し，実践すると効果が出るかもしれません．

「どこまで対策すれば，どの程度品質が上がるのか」という数値化は不可能なので，なんとも歯がゆいのですが，小さなことからコツコツと対策を積み重ねれば，きっと良い結果が出てくれると思います．

図A　クロストーク・ノイズの発生原因
MGT用の専用電源と，その隣に配置した高速で動作するI/Oピン（SelectIO）のビアが並走すると，クロストーク・ノイズが発生し，結果としてシリアル信号の波形が乱れる．

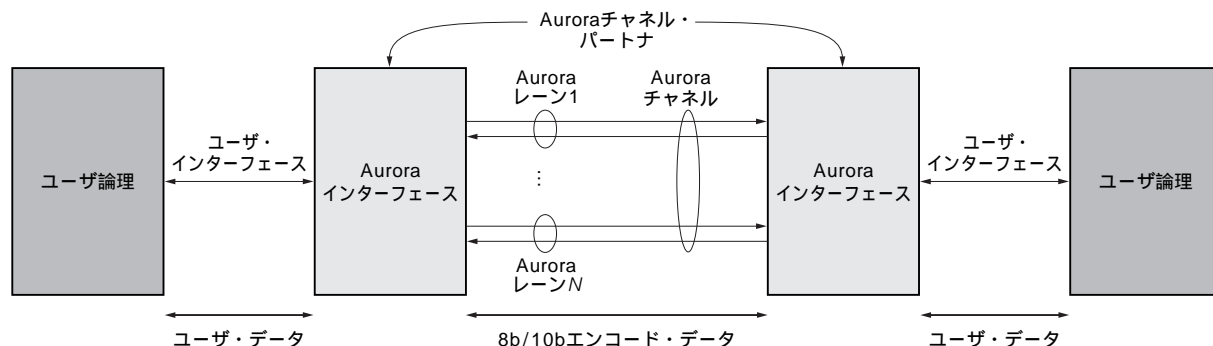



図11 Aurora を使ったシステム構成
システムに必要なデータを送信する/受信する，という制御にまで簡素化できる．

- チャネル・ボンディング
- コンマ・デテクト
- データ・アライメント

これらを一から理解し，RTL設計を行うためには，学習と設計期間を合わせて，少なくとも半年はかかるでしょう．

もちろん，Auroraを使う場合でも，そのアーキテクチャをある程度理解する必要はありますが，MGTのアーキテクチャそのものを理解して設計するよりも，半分以下の期間で作業することが可能だと思います．ライセンス料は発生しないので，コスト・アップの心配もありません．手っ取り早くSerDesを使うのであれば，最適なプロトコルであると言えます．ただしAuroraは，CRC演算機能やCRCコンペア・エラー時の再送機能がないので，このあたりはもう少しAurora生成時のCORE Generatorウィザードにてカスタマイズできるような，柔軟さがほしかったと思います．

参考・引用*文献
(1) Xilinx；Virtex-4 RocketIO MGT User Guide, Setp. 29, 2006.

みながわ・かける